

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10206187 A**

(43) Date of publication of application: **07.08.98**

(51) Int. Cl.

**G01D 5/245**

**G01D 5/249**

**H02K 29/08**

**H02P 6/16**

(21) Application number: **09010849**

(22) Date of filing: **24.01.97**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **FUJIKAWA KEIICHI  
KITANO TOYOHICO**

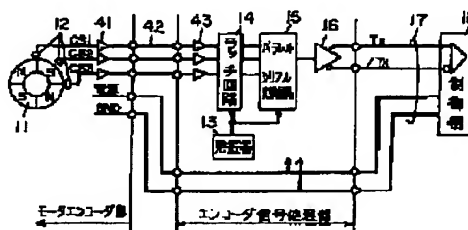
(54) **ENCODER**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To enhance reliability and to reduce wirings without influence of noise by converting a plurality of parallel data output from a data circuit into time series data, and feeding the data via a differentially outputting circuit or electro-optically converting circuit.

**SOLUTION:** The encoder is divided into a motor encoder part up to an encoder buffer circuit 41 and an encoder signal processor from a signal receiver 43. The encoder part is connected to the processor via wires 43. Logic data of three signals received from the receiver 43 are latched in a data latched circuit 14 to match a clock generated from an oscillator 13, and converted to serial data via a parallel-serial converter 15. The three phase exciting switching signal is serially transmitted to reduce number of signal lines to one channel, and differentially output. Even if receiving fault occurs due to disturbance noise, if data is received plural times at a controller side, correct data can be obtained, and hence wiring saving system having high reliability can be built up.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-206187

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 1 D 5/245

1 0 2

G 0 1 D 5/245

1 0 2 D

5/249

5/249

R

H 0 2 K 29/08

H 0 2 K 29/08

H 0 2 P 6/16

H 0 2 P 6/02

3 5 1 N

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号

特願平9-10849

(22) 出願日

平成9年(1997) 1月24日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 富士川 恵市

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 北野 豊彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

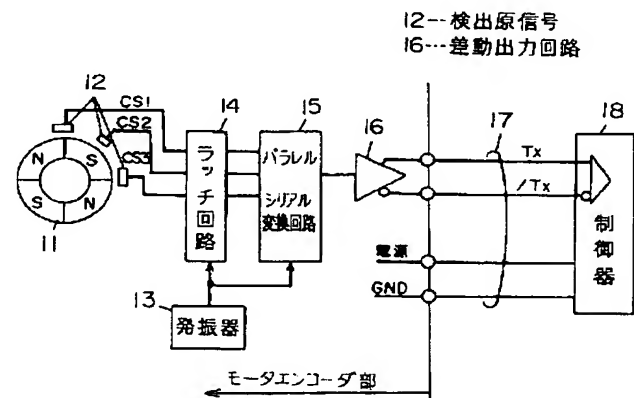
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 エンコーダ

(57) 【要約】

【課題】 相励磁切り替え信号CS1, CS2, CS3をパラレル-シリアル変換して、1回路線で伝送することにより出力信号数を減らし、これによって外乱ノイズの影響を受けにくくして信頼性の高い、かつ量産性に富む相励磁切り替え信号検出用エンコーダを提供することを目的とする。

【解決手段】 相励磁切り替え信号を論理信号に変換し、この論理信号データをラッチするラッチ回路14から出力される3つのパラレルデータをパラレル-シリアル変換回路15で時分割のシリアルデータに変換し、このシリアルデータを差動出力回路16を介して、差動出力するようにして、外乱ノイズなどの影響を受けにくくして信頼性を高めたものである。



**【特許請求の範囲】**

1 **【請求項1】** DCブラシレスモータのロータ回転位置を検出する互いに電気角で120度の位相差を持つ相励磁切り替え信号CS1, CS2, CS3相を出力する原信号検出部と、相励磁切り替え信号を論理信号に変換する論理信号変換回路と、前記論理信号変換回路からの論理信号データをラッチするデータラッチ回路と、前記データラッチ回路から出力されるCS1, CS2, CS3相信号のパラレルデータを時分割のシリアルデータに変換するパラレル-シリアル変換回路と、前記パラレル-シリアル変換回路から出力するシリアルデータを差動出力する差動出力回路を備えたエンコーダ。

**【請求項2】** DCブラシレスモータのロータ回転位置を検出する互いに電気角で120度の位相差を持つ相励磁切り替え信号CS1, CS2, CS3相を出力する原信号検出部と、相励磁切り替え信号を論理信号に変換する論理信号変換回路と、前記論理信号変換回路からの論理信号データをラッチするデータラッチ回路と、前記データラッチ回路から出力されるCS1, CS2, CS3相信号のパラレルデータを時分割のシリアルデータに変換するパラレル-シリアル変換回路と、前記パラレル-シリアル変換回路から出力するシリアルデータを電気から光に変換する電気-光変換回路を備えたエンコーダ。

**【請求項3】** 論理信号変換回路からの論理信号データをモータの外部に出力する電線と、前記電線から論理信号データを受信する受信回路とを備え、前記受信回路で受信した論理信号データをラッチする請求項1および請求項2記載のエンコーダ。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、サーボモータの、特にDCブラシレスモータの相励磁切り替え信号用エンコーダに関するものである。

**【0002】**

**【従来の技術】** 近年、各種産業用機械の駆動用に使われるサーボモータは保守の容易さからACサーボモータをはじめとするDCブラシレスモータの需要が増している。

**【0003】** DCブラシレスモータは相励磁切り替え信号をモータのロータ回転位置より検出し、この信号に合わせモータの各相コイルに通電してモータの回転を制御している。この相励磁切り替え信号CS1, CS2, CS3相はおおの電気角で120度の位相差を有している。

**【0004】** 図5は従来のDCブラシレスモータの相励磁切り替え信号用エンコーダの構成を示すものであり、11は着磁をしたモータのロータマグネット、12はマグネット11の磁極の変化にあわせて論理が変化するホールIC、51は相励磁切り替え信号を伝送出力するための出力がオープンコレクタのトランジスタ、52はモ

ータの前記相励磁切り替え信号用エンコーダと制御器とを結線する電線、53は制御器である。

**【0005】** 図6に示すように、トランジスタ51からの出力信号はロータの回転位置にあわせて、CS1, CS2, CS3の信号が電気角120度の位相差をもっている。この信号は3本の電線52を介して、モータの外部の制御器53に接続される。またエンコーダへの電源線2本とあわせて合計5本の電線52が制御器との接続で必要である。

**【0006】**

**【発明が解決しようとする課題】** DCブラシレスモータの相励磁切り替え信号用エンコーダにおいては、小形化、配線本数の削減や、外乱からのノイズ耐圧性、信頼性の向上が要求されている。

**【0007】** しかしながら上記従来の構成では、出力信号の数が3信号と配線数が多いため制御器との組み立て作業性が悪く、モータと制御器間の誤配線、電線自身の断線も起こりやすいという課題があり、さらに出力がオープンコレクタ出力であるため論理Hレベル時には伝送用電線には電流が流れないことから、高いインピーダンスになり耐ノイズ性が低く、S/N比が大きくとれないため制御器との伝送距離が数十メートル以上必要な場合にはノイズなどの外乱の影響を受けやすく、また、発熱に対する回路部品の信頼性に課題があった。

**【0008】** 本発明は、上記従来の課題を解決するもので、信頼性が高く、外乱ノイズの影響を受け難い、出力配線数を減らしたエンコーダを提供することを目的とする。

**【0009】**

**【課題を解決するための手段】** この課題を解決するために本発明は、相励磁切り替え信号を論理信号に変換し、論理信号データをラッチするデータラッチ回路から出力される3つのパラレルデータを時分割のシリアルデータに変換し、このシリアルデータを差動出力する回路、またはシリアルデータを電気-光変換する回路を備えたものである。これにより信頼性が高く、外乱ノイズの影響を受け難く、出力配線を減らすことができる。

**【0010】**

**【発明の実施の形態】** 上記課題を解決するために本発明は、DCブラシレスモータのロータ回転位置を検出する互いに電気角で120度の位相差を持つ相励磁切り替え信号CS1, CS2, CS3相を出力する原信号検出部と、相励磁切り替え信号を論理信号に変換する論理信号変換回路と、前記論理信号変換回路からの論理信号データをラッチするデータラッチ回路と、前記データラッチ回路から出力されるCS1, CS2, CS3相信号のパラレルデータを時分割のシリアルデータに変換するパラレル-シリアル変換回路と、前記パラレル-シリアル変換回路から出力するシリアルデータを差動出力する差動出力回路を備えたエンコーダである。

【0011】また、DCブラシレスモータのロータ回転位置を検出する互いに電気角で120度の位相差を持つ相励磁切り替え信号CS1、CS2、CS3相を出力する原信号検出部と、相励磁切り替え信号を論理信号に変換する論理信号変換回路と、前記論理信号変換回路からの論理信号データをラッチするデータラッチ回路と、前記データラッチ回路から出力されるCS1、CS2、CS3相信号のパラレルデータを時分割のシリアルデータに変換するパラレル-シリアル変換回路と、前記パラレル-シリアル変換回路から出力するシリアルデータを電気から光に変換する電気-光変換回路を備えたエンコーダである。

【0012】さらに、論理信号変換回路からの論理信号データをモータの外部に出力する電線と、前記電線から論理信号データを受信する受信回路とを備え、前記受信回路で受信した論理信号データをラッチする請求項1および請求項2記載のエンコーダである。

【0013】このように、3つのパラレルデータをシリアルデータに変換し、シリアルデータとして1回線で伝送できるので、出力信号線の数を減らすことができ、シリアル信号を差動出力することによりシリアル信号のS/N比を向上できる。

【0014】また、シリアル信号を電気から光に変換することで、さらに外乱ノイズの影響を受けにくくすることができる。

【0015】さらに、エンコーダの信号処理部をモータ本体から分離するので、モータの発熱から信号処理回路を守ることができ、モータ本体を小形化できるので取付けの制約をなくすることができる。

【0016】

【実施例】以下本発明の実施例について、図1から図4を用いて説明する。なお、従来と同じ部品および以下同じ部品には同じ符号を付して以下の説明を省略する。

【0017】図1において、11は着磁をしたロータのマグネットで、相励磁切り替え信号検出用マグネットを兼ねている。12はマグネット11の磁極の変化にあわせて論理が変化するホールICで、原信号検出部と論理信号変換回路とを兼ねており、電気角で120度の位相差をもつ配置をしている。13は発振器、14はホールIC12からの論理信号データをラッチするデータラッチ回路、15はデータラッチ回路14から出力されるCS1、CS2、CS3相信号のパラレルデータを時分割のシリアルデータに変換するパラレル-シリアル変換回路、16はパラレル-シリアル変換回路15から出力するシリアルデータを差動出力する差動出力回路、17は電線で、差動出力回路16からの差動信号を制御器18に接続入力する。

【0018】ロータが回転すると、着磁をしたマグネット11の漏れ磁界の磁界変化にあわせて、電気角で120度の位相差をもつ配置をしたホールIC12は、ロー

タの位置を検出するCS1、CS2、CS3の信号を出力する。この3信号の論理データは発振器13から発生したクロックにあわせて、データラッチ回路14でラッチされる。この3つのパラレルデータをシリアルデータに変換するパラレル-シリアル変換回路15を介して時間的なシリアルデータとする。そして図2に示すように、シリアルデータは差動出力回路16を介して、論理レベルが互いに反転する電圧差動で出力し、電線17で制御器18に入力する構成をしている。

【0019】なお、ロータの位置を検出するCS1、CS2、CS3の信号は、上記の実施例では着磁をしたロータのマグネットとホールICの磁気による検出方式であるが、ロータの他に専用の相励磁切り替え検出用マグネットを配置してもよく、光が透過するスリットを有する回転板とフォトインタラプタとの組み合わせなどによる透過型や反射型の光学式による検出方式、またブラシと整流子などによる機械式による検出方式などの信号を用いることができる。

【0020】図3は本発明の他の実施例の機能ブロック図を示し、図3において、11はマグネット、12はホールIC、13は発振器、14はデータラッチ回路、15はパラレル-シリアル変換回路、31はパラレル-シリアル変換回路15から出力するシリアルデータを電気から光に変換する電気-光変換器、32は光ファイバなどの光伝送線で、電気-光変換器31と光-電気変換器をもつ制御器33を接続している。

【0021】ホールIC12による原信号検出から、パラレル-シリアル変換回路15を介して時間的なシリアルデータを生成するまでは、前述と同じであり、このシリアルデータを電気-光変換器31で光信号に変換し、光伝送線32を介して制御器33に入力する構成をしている。

【0022】なお、光伝送線32のかわりに、空間に光を放出し、直接受光する光伝播を利用しても良い。

【0023】図4はエンコーダをモータエンコーダ部とエンコーダ信号処理部に分割したものである。図4において、11はマグネット、12はホールIC、41はホールIC12で電気角120度の位相差をもつ論理信号を出力するための緩衝用バッファ回路で、ここまですモータエンコーダ部でモータ本体側に設けている。43は緩衝用バッファ回路41が出力した論理信号を電線42で受信する信号受信回路、13は発振器、14はデータラッチ回路、15はパラレル-シリアル変換回路、16は差動出力回路で、ここまですエンコーダ信号処理部である。17は電線、18は制御器である。

【0024】本実施例は図1の実施例との組合せの例で、エンコーダを緩衝用バッファ回路41までのモータエンコーダ部と、信号受信回路43からのエンコーダ信号処理部に分割し、電線42で接続したもので、信号受信回路43により受信した3つの信号の論理データは

5

前述と同様に発振器13から発生したクロックにあわせてデータラッチ回路14でラッチされ、この3つのパラレルデータはパラレル-シリアル変換回路15を介して時間的なシリアルデータとなる。そして、図2に示す論理レベルが互いに反転する電圧差動で出力する差動出力回路16を介して電線17で制御器18に入力する構成としている。この構成によりエンコーダ信号処理部は、モータ本体の発熱を避けることができ、モータ本体を小形化できる。

【0025】なお、図3に示す実施例との組合せのものは図示しないが、差動出力回路16を電気-光変換器31に置き換えて光信号に変換し、光伝送線32を介して制御器33に入力すればよい。

【0026】以上のような構成により、3つの相励磁切り替え信号をシリアル伝送することにより信号線数を1回線にでき、差動出力することで、仮に通信上でデータが外乱ノイズにより受信ミスを生じても、制御器側で複数回データを受信すれば正しいデータが得られるため、信頼性の高い省配線システムが構築できる。

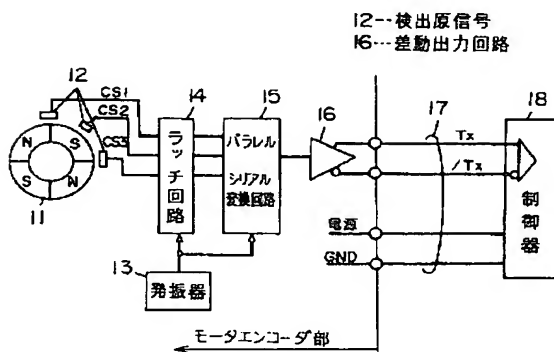
【0027】また、シリアルデータを電気-光変換器を用いて、光の簡単なオン-オフ信号に変換することができるので、より長距離伝送が可能になる。

【0028】さらに、エンコーダ信号処理部をモータ本体から切り離すことで、モータの小形化と回路部品をモータの発熱から保護でき、信頼性を高めることができる。

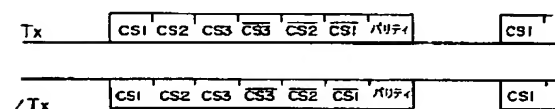
【0029】

【発明の効果】上記の実施例から明らかなように請求項

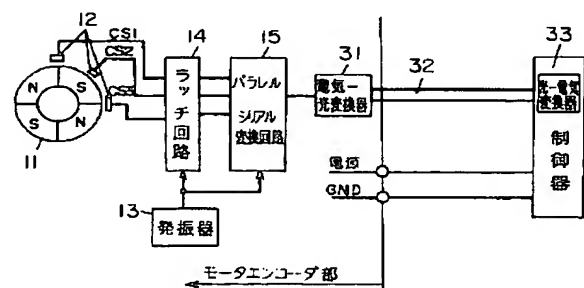
【図1】



【図2】



【図3】



6

1, 2の発明は、3つのパラレルデータ（相励磁切り替え信号CS1, CS2, CS3）をシリアルデータとしてデータ伝送し、シリアルデータを差動出力、または光のオン-オフ信号で出力させ、従来5本必要としていた信号線の本数を4本に削減することができ、通信途上の外乱ノイズに強く、長距離伝送が可能なエンコーダを得ることができる。

【0030】さらに、請求項3の発明は、エンコーダをモータ部と信号処理部に分割することで、モータ本体を小形化でき、信号処理回路をモータの発熱から保護できるので、信頼性の高いエンコーダを得ることができる。

【図面の簡単な説明】

【図1】 本発明の実施例におけるエンコーダの構成図

【図2】 同実施例におけるデータフォーマット図

【図3】 本発明の第2の実施例におけるエンコーダの構成図

【図4】 本発明の第3の実施例におけるエンコーダの構成図

【図5】 従来のエンコーダの構成図

【図6】 従来のエンコーダの出力信号図

【符号の説明】

11 マグネット

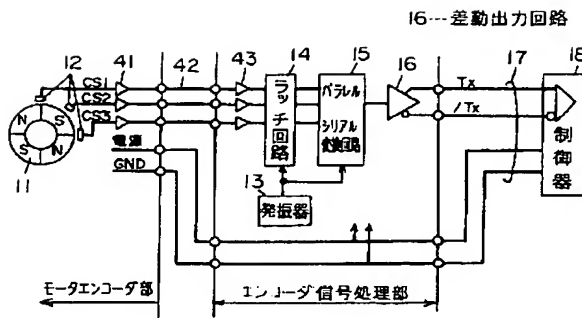
12 ホールIC（原信号検出部および論理信号変換回路）

14 ラッチ回路

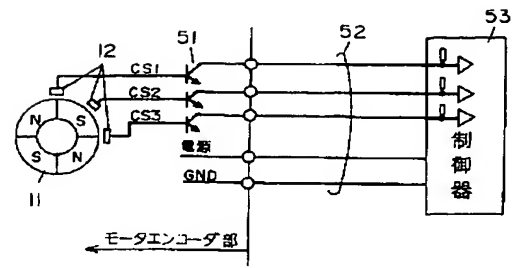
15 パラレル-シリアル変換回路

16 差動出力回路

【図4】



【図5】



【図6】

